

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-114826

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl.⁵

H 0 3 F 3/45

識別記号

庁内整理番号

A 7328-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 5 頁)

(21)出願番号 特願平3-255835

(22)出願日 平成3年(1991)9月6日

(71)出願人 000005496

富士ゼロックス株式会社
東京都港区赤坂三丁目3番5号

(72)発明者 田口 正弘

神奈川県海老名市本郷2274番地富士ゼロックス株式会社海老名事業所内

(72)発明者 東 幸一

神奈川県海老名市本郷2274番地富士ゼロックス株式会社海老名事業所内

(74)代理人 弁理士 小田 富士雄 (外1名)

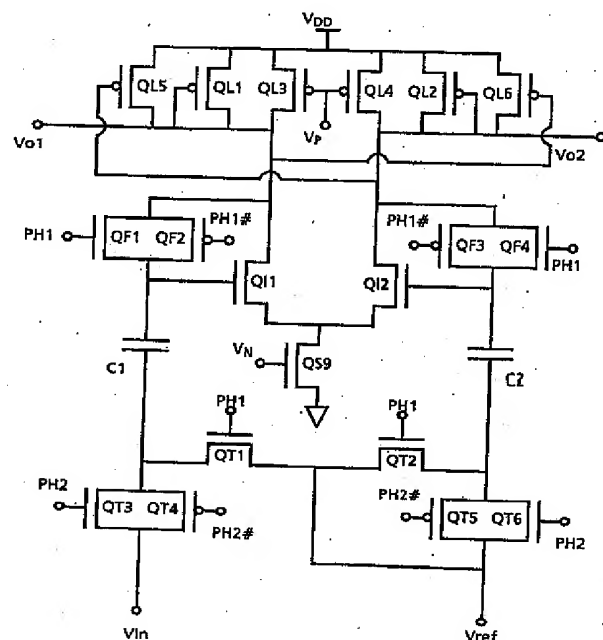
(54)【発明の名称】 差動増幅回路

(57)【要約】

【目的】 ソースフォロワを用いないMOS型トランジスタ差動型増幅回路

【構成】 差動入力段MOSFETQI1、QI2のそれぞれのドレインにダイオード接続された負荷MOSFETQL1、QL2と、前記差動入力段MOSFETQI1、QI2のそれぞれのドレインに接続され、定電流源として働く負荷MOSFETQL3、QL4と、前記差動入力段MOSFETQI1、QI2のそれぞれのドレインに接続され、そのゲートとドレインが交差接続されている正帰還MOSFETQL5、QL6

【効果】 高速で耐雑音性が良好である



【特許請求の範囲】

【請求項1】電圧差が増幅されるべき2つの電圧を差動入力段MOS型トランジスタ（以下「MOSFET」という）Q I 1、Q I 2に入力し増幅して比較する差動型増幅回路において、前記差動入力段MOSFET Q I 1、Q I 2のそれぞれのドレインにダイオード接続された負荷MOSFET Q L 1、Q L 2と、前記差動入力段MOSFET Q I 1、Q I 2のそれぞれのドレインに接続され、定電流源として働く負荷MOSFET Q L 3、Q L 4と、前記差動入力段MOSFET Q I 1、Q I 2のそれぞれのドレインに接続され、そのゲートとドレインが交差接続されている正帰還MOSFET Q L 5、Q L 6とを有することを特徴とする差動型増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は差動型増幅回路に関し、とくに二つの電圧を比較する差動型電圧比較器に用いられる差動型増幅回路に関する。

【0002】

【従来の技術】従来の差動型増幅回路、例えば "The Journal of Solid-State Circuits, Vol. 25, No. 1, FEBRUARY 1990; pp173-182" において示された例を図3に示す。ここで、MOSFET Q 1、Q 2は差動入力段、MOSFET Q 3、Q 4はダイオード接続された負荷回路、MOSFET Q 7、Q 8は正帰還回路、MOSFET Q 9は定電流回路、MOSFET Q 30、Q 31とQ 40、Q 41はソースホロワ回路である。

【0003】この回路の動作を説明する。IN+、IN-端子にまず差動入力段Q 1、Q 2に一定のバイアス電圧をある一定期間与えリセット状態にする。次に差動入力段Q 1、Q 2に比較する2つの電圧を与えると、入力された2つの電圧の差が負荷回路Q 3、Q 4、正帰還回路Q 7、Q 8によって増幅される。この電圧は、Q 30、Q 31とQ 40、Q 41のソースホロワ回路によってさらに増幅されOUT+、OUT-端子から出力される。通常電圧比較器は、このような差動型増幅回路を複数個直列接続して構成される

【0004】

【発明が解決しようとする課題】しかし高速動作をさせ、さらに消費電力を小さくするためには、差動型増幅回路1つあたりのゲインを大きくして、使用する回路数を少なくする必要がある。しかしゲインを大きくするために、この差動型増幅回路の正帰還を強くすると、回路のリセットに時間がかかり、高速動作が不可能になる。また、Q 30、Q 31とQ 40、Q 41のようなソースホロワ回路は、電源雑音の影響を大きく受ける。

【0005】したがって本発明は、ゲインが大きく、高速動作が可能で、さらに電源雑音の影響が小さい差動型

増幅回路を提供することを課題とする。

【0006】

【課題を解決するための手段】そこで本発明は、電圧差が増幅されるべき2つの電圧を差動入力段MOSFET Q 1、Q 2に入力し増幅して比較する差動型増幅回路において、前記差動入力段MOSFET Q I 1、Q I 2のそれぞれのドレインにダイオード接続された負荷MOSFET Q L 1、Q L 2と、前記差動入力段MOSFET Q I 1、Q I 2のそれぞれのドレインに接続され、定電流源として働く負荷MOSFET Q L 3、Q L 4と、前記差動入力段MOSFET Q I 1、Q I 2のそれぞれのドレインに接続され、そのゲートとドレインが交差接続されている正帰還MOSFET Q L 5、Q L 6とを有することにより課題を解決する。

【0007】

【作用】本発明においては、前記差動入力段MOSFET Q I 1、Q I 2のそれぞれのドレインにダイオード接続されたMOSFET Q L 1、Q L 2の負荷によりゲインを得るとともにコモンモード・ノイズを除去し、前記差動入力段MOSFET Q I 1、Q I 2のそれぞれのドレインに接続され、MOSFET Q L 3、Q L 4の定電流源として働く負荷により更にゲインを向上し、前記差動入力段MOSFET Q I 1、Q I 2のそれぞれのドレインに接続され、そのゲートとドレインが交差接続されているMOSFET Q L 5、Q L 6により弱い正帰還し、ゲインを大きくでき、MOSFET Q L 3、Q L 4による定電流により、リセット時間を短くすることができる。

【0008】

【実施例】図1に本発明の実施例を示す。差動入力段NチャンネルMOSFET（以下、単にNMOSと呼ぶ）Q I 1、Q I 2はソースが短絡されている。PチャンネルMOSFET（以下、単にPMOSと呼ぶ）Q L 1、Q L 2は、負荷回路であり、NMOS Q I 1、Q I 2のそれぞれのドレインにドレインとゲートが接続され、ソースに電源電圧が与えられている。PMOS Q L 3、Q L 4は定電流源として働く負荷回路であり、NMOS Q I 1、Q I 2のそれぞれのドレインにドレインが接続され、ゲートはバイアス電圧V_pが与えられ、ソースに電源電圧が与えられている。PMOS Q L 5、Q L 6は、正帰還回路を構成し、NMOS Q I 1、Q I 2のそれぞれのドレインにドレインが接続され、そのゲートとドレインが交差接続され、ソースに電源電圧が与えられている。NMOS Q I 1、Q I 2の短絡されたソースには定電流回路としてNMOS Q S 9のドレインが接続され、NMOS Q S 9のゲートにはバイアス電圧V_nが与えられ、ソースに基板電位が与えられている。

【0009】NMOS Q I 1のドレインは、NMOS Q F 1とPMOS Q F 2からなるスイッチ回路を介してNMOS Q I 1のゲートとコンデンサC 1に接続される。

NMOSQI2のドレインは、NMOSQF4とPMOSQF3からなるスイッチ回路を介してNMOSQI2のゲートとコンデンサC2に接続される。また、コンデンサC1の他の端子にはNMOSQT1からなるスイッチ回路を介してVrefが与えられ、さらに、NMOSQT3とPMOSQT4からなるスイッチ回路を介してVinが与えられる。コンデンサC2の他の端子にはNMOSQT2からなるスイッチ回路を介してVrefが与えられ、さらに、NMOSQT6とPMOSQT5からなるスイッチ回路を介してVrefが与えられる。

【0010】NMOSQT1、QT2、QF1、QF4のゲートにはタイミングパルスPH1が与えられ、PMOSQF2、QF3のゲートにはタイミングパルスPH1の反転パルスであるPH1#が与えられている。このことによって、スイッチ回路NMOSQT1、QT2、QF1、QF4、PMOSQF2、QF3はタイミングパルスPH1がハイレベルである期間、オン状態となる。NMOSQT3とQT6のゲートにはタイミングパルスPH2が与えられ、PMOSQT4とQT5のゲートにはタイミングパルスPH2反転パルスであるPH2#が与えられている。このことによって、スイッチ回路NMOSQT3、QT6、PMOSQT4、QT5はタイミングパルスPH2がハイレベルである期間、オン状態となる。

【0011】この実施例の回路の動作を図2に示した入出力波形図を使って説明する。タイミングパルスPH1、PH2はノーオーバーラップのパルスになっている。タイミングパルスPH1がハイレベルのとき、スイッチ回路NMOSQF1、QF4、PMOSQF2、QF3はオン状態であり、NMOSQI1、QI2のドレインはゲートと短絡され差動回路はリセット状態になっている。また、NMOSQI1、QI2のゲートに接続されているコンデンサC1、C2の端子には、NMOSQI1、QI2のドレイン電圧が与えられる。さらに、スイッチ回路NMOSQT1、QT2もオン状態であるので、コンデンサC1、C2の他の端子にはVrefが与えられる。このとき、コンデンサC1、C2には差動回路のオフセットに応じた電位差が現れる。またこのとき、PMOSQL3、QL4の定電流源としての働きにより、速やかに、差動回路の出力はそれぞれ、差動回路

のオフセット応じた電位に落ち着く。

【0012】タイミングパルスPH2がハイレベルになると、スイッチ回路NMOSQT3、QT6、PMOSQT4、QT5がオン状態となり、コンデンサC1の端子にはVrefに代わってVinが与えられる。またC2には、さらにVrefが与えられる。このときNMOSQI1、QI2のゲートにはコンデンサC1、C2を介して、差動回路のオフセットと $|Vref - Vin|$ を加えた電位差が生じ、NMOSQI1、QI2のドレインにはNMOSQI1、QI2のゲートの電位差が、PMOSQL1、QL2、QL3、QL4、QL5、QL6の働きにより増幅されて現れる。

【0013】

【発明の効果】本発明によれば、高速動作しかつゲインの大きな差動型増幅回路を実現できる。

【図面の簡単な説明】

【図1】本発明の実施例の回路図

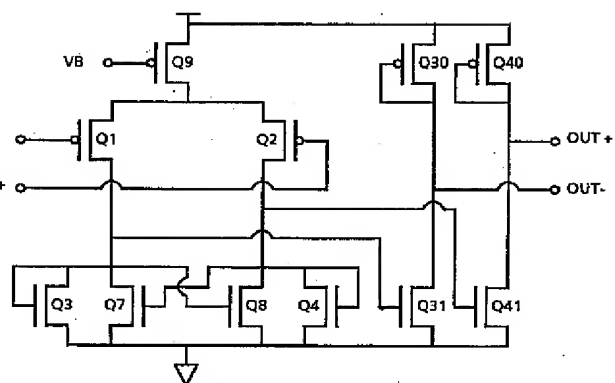
【図2】動作の一例を示すための入出力波形図

【図3】従来の回路図

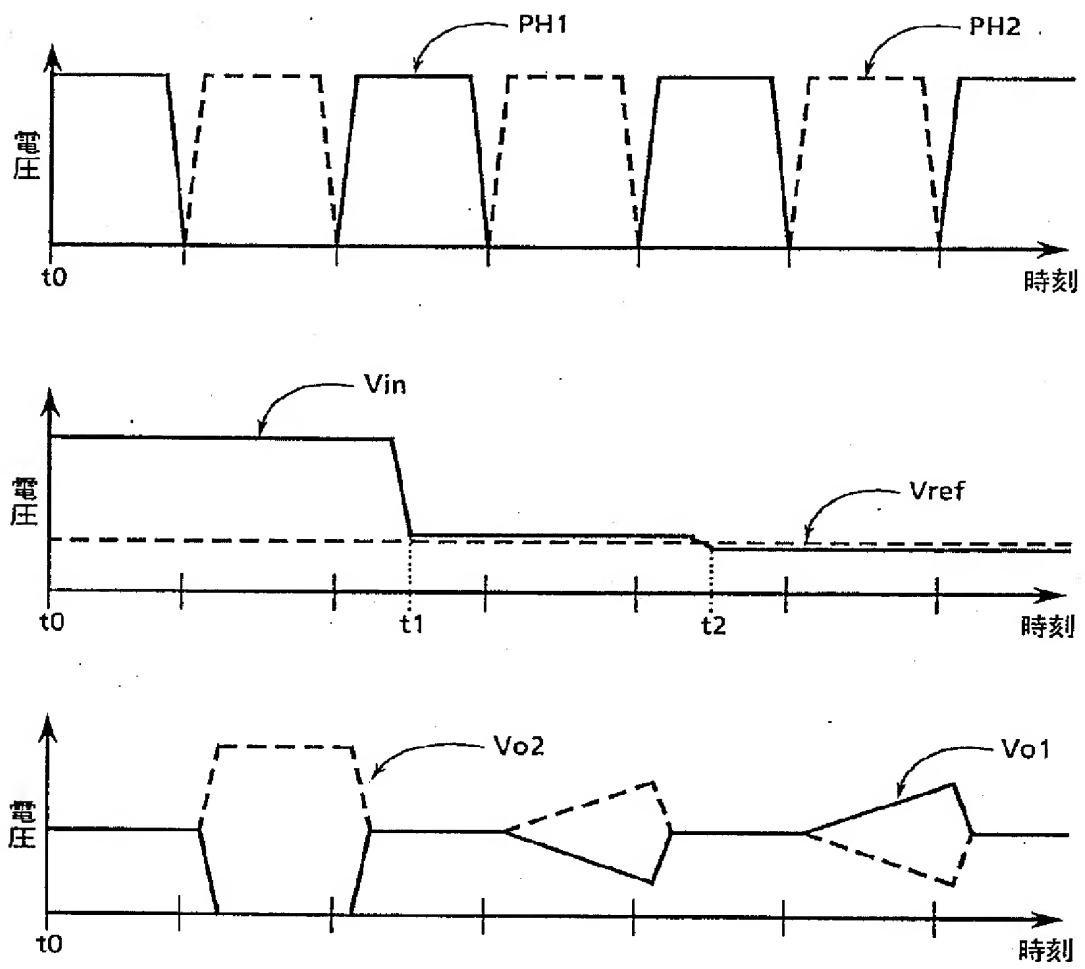
【符号の説明】

Q1、Q2、QI1、QI2	……	差動入力段
Q3、Q4、QL1、QL2、QL3、QL4	……	負荷回路
Q7、Q8、QL5、QL6	……	正帰還回路
Q9、QS9	……	定電流回路
QF1、QF2、QF3、QF4、QT1、QT2、QT3、QT4、QT5、QT6	……	スイッチ回路
Q30、Q31、Q40、Q41	……	ソースホロワ回路を構成する
MOSFET、Vi、Vref	……	入力電圧
PH1、PH2	……	タイミングパルス
Vo1、Vo2	……	出力電圧

【例3】



【図2】



DERWENT-ACC-NO: 1993-186163**DERWENT-WEEK:** 199323*COPYRIGHT 2008 DERWENT INFORMATION LTD*

TITLE: Differential amplifier circuit
for differential voltage
comparator - has load MOSFETs
connecting drain of differential
input stage MOSFETs and MOSFET
constant current source and
positive feedback MOSFETs
NoAbstract

PATENT-ASSIGNEE: FUJI XEROX CO LTD[XERF]

PRIORITY-DATA: 1991JP-0255835 (September 6,
1991)

PATENT-FAMILY:

PUB-NO	PUB- DATE	LANGUAGE	PAGES	MAIN-IPC
JP 05114826 A	May 7, 1993	N/A	005	H03F 003/45

APPLICATION-DATA:

PUB-NO	APPL- DESCRIPTOR	APPL-NO	APPL-DATE
JP 05114826A	N/A	1991JP- 0255835	September 6, 1991

INT-CL (IPC): H03F003/45

ABSTRACTED-PUB-NO: JP 05114826A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS: DIFFERENTIAL AMPLIFY CIRCUIT
DIFFERENTIAL VOLTAGE COMPARATOR
LOAD MOSFET CONNECT DRAIN
DIFFERENTIAL INPUT STAGE MOSFET
MOSFET CONSTANT CURRENT SOURCE
POSITIVE FEEDBACK MOSFET
NOABSTRACT

DERWENT-CLASS: U22 U24

EPI-CODES: U22-A04D5; U24-G02A1; U24-G04A2;

SECONDARY-ACC-NO:

**Non-CPI Secondary Accession
Numbers:**

N1993-142987